

AL

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11484654

Basic Patent (No,Kind,Date): NL 9300732 A 19931116 <No. of Patents: 004>

HALFGELEIDERINRICHTING EN WERKWIJZE OM DEZE TE PRODUCEREN. (Dutch)

Patent Assignee: FUJI ELECTRIC CO LTD

IPC: *H01L-027/092;

CA Abstract No: 120(10)122728K

Derwent WPI Acc No: C 93-393433

Language of Document: Dutch

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 5308128	A2	19931119	JP 92111330	A	19920430
NL 9300732	A	19931116	NL 93732	A	19930429 (BASIC)
US 5497021	A	19960305	US 351569	A	19941207
US 5545577	A	19960813	US 156847	A	19931124

Priority Data (No,Kind,Date):

JP 92111330 A 19920430

US 351569 A 19941207

US 53273 B1 19930428

US 156847 A 19931124

US 53273 B3 19930428

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04316428 **Image available**

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.: 05-308128 [JP 5308128 A]

PUBLISHED: November 19, 1993 (19931119)

INVENTOR(s): TADA HAJIME

APPLICANT(s): FUJI ELECTRIC CO LTD [000523] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 04-111330 [JP 92111330]

FILED: April 30, 1992 (19920430)

INTL CLASS: [5] H01L-027/088

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal
Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1513, Vol. 18, No. 109, Pg. 106,
February 22, 1994 (19940222)

ABSTRACT

PURPOSE: To ensure high withstand voltage characteristics, when gate insulating films of two MIS transistor circuit parts on the same substrate are formed, in different processes.

CONSTITUTION: After a gate insulating film 10 is formed on the surface side of a single crystal silicon substrate 100, first polysilicon layer 11a, 11b are formed, and then polysilicon layers 21a, 21b are left in each gate electrode forming region of a high voltage driving circuit 1b. In this state, a gate oxide film 10 on the side of a low voltage driving circuit 1a is eliminated. After a gate oxide film 12 is formed on the side of their surface, a polysilicon layer 13 is formed on the surface side. After impurities are introduced into the polysilicon layers 13a, 13b, which are turned into a conductive state, polysilicon layers 23a, 23b are left.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-308128

(43) 公開日 平成5年(1993)11月19日

(51) Int. Cl. ⁵

識別記号

F I

H01L 27/088

9170-4M

H01L 27/08

102

C

審査請求 未請求 請求項の数 6 (全 9 頁)

(21) 出願番号 特願平4-111330

(22) 出願日 平成4年(1992)4月30日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 多田 元

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

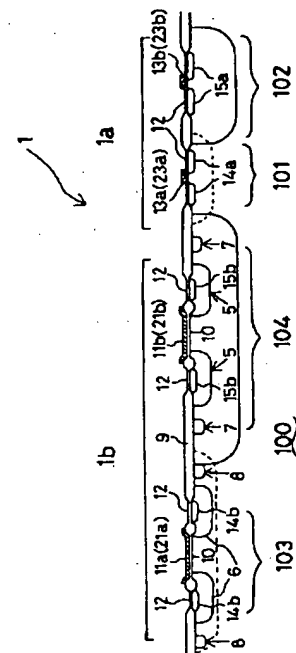
(74) 代理人 弁理士 山田 稔

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 同一基板上の2つのMISトランジスタ回路部のゲート絶縁膜を別工程で形成する場合でも、高い耐電圧特性を確保可能な半導体装置およびその製造方法を実現すること。

【構成】 単結晶シリコン基板100の表面側にゲート酸化膜10を形成した後、引き続いて第1のポリシリコン層11を形成し、その後に、高電圧駆動回路1bの各ゲート電極形成予定領域にポリシリコン層21a、21を残す。この状態で、低電圧駆動回路1aの側のゲート酸化膜10を除去する。つぎに、それらの表面側にゲート酸化膜12を形成した後に、引き続いて、その表面側にポリシリコン層13を形成する。そして、ポリシリコン層13に不純物を導入して、それを導電化した後に、ポリシリコン層23a、23bを残す。



【特許請求の範囲】

【請求項1】 半導体基板の表面側に、第1導電型のMIS部および第2導電型のMIS部を備え、いずれのMIS部のゲート電極も第1導電型の不純物および第2導電型の不純物のうちのいずれか一方の不純物が導入された第1のMISトランジスタ回路部と、第1導電型のMIS部および第2導電型のMIS部を備えており、これらのMIS部のゲート絶縁膜の厚さが前記第1のMISトランジスタ回路部の前記第1および第2導電型のMIS部のゲート絶縁膜の厚さに比して厚く、これらのMIS部のうちの前記第1導電型のMIS部のゲート電極は第1導電型の不純物が導入されたポリシリコンからなり、その第2導電型のMIS部のゲート電極は第2導電型の不純物が導入されたポリシリコンからなる第2のMISトランジスタ回路部と、を有することを特徴とする半導体装置。

【請求項2】 請求項1において、前記第2のMISトランジスタ回路部の駆動電圧は、前記第1のMISトランジスタ回路部の駆動電圧に比して高いことを特徴とする半導体装置。

【請求項3】 半導体基板の表面側に、第1導電型のMIS部および第2導電型のMIS部をそれぞれ備える第1および第2のMISトランジスタ回路部を備える半導体装置の製造方法であって、半導体基板の表面側に第1の絶縁膜を形成した後に、その表面側に第1のポリシリコン層を形成する第1の工程と、このポリシリコン層をエッチングして前記第2のMISトランジスタ回路部の第1および第2導電型のMIS部の各ゲート電極形成予定領域にポリシリコン層を残す第2の工程と、前記第1の絶縁膜のうち前記第2のMISトランジスタ回路部の第1および第2導電型のMIS部のゲート絶縁膜形成予定領域を含む領域の前記第1の絶縁膜を除去する第3の工程と、それらの表面側に第2の絶縁膜を形成した後に、その表面側に第2のポリシリコン層を形成する第4の工程と、このポリシリコン層をエッチングして前記第1のMISトランジスタ回路部の第1および第2導電型のMIS部の各ゲート電極形成予定領域にポリシリコン層を残す第5の工程と、を少なくとも有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3において、前記第1の絶縁膜を前記第2の絶縁膜に比して厚く形成することを特徴とする半導体装置の製造方法。

【請求項5】 請求項4または請求項5において、前記第4の工程で形成された前記第2のポリシリコン層に対して不純物を導入した後に、前記第5の工程で前記第2のポリシリコン層をエッチングすることを特徴とする半導体装置の製造方法。

【請求項6】 請求項3ないし請求項5のいずれかの項において、前記第2の工程で前記第2のMISトランジスタ回路部の第1および第2導電型のMIS部の各ゲ

ト電極形成予定領域に残されたポリシリコン層のうち、前記第1導電型のMIS部のゲート電極形成予定領域に残されたポリシリコン層には、このMIS部のソース・ドレイン拡散領域を形成すべき不純物の導入工程において同時に不純物が導入され、その第2導電型のMIS部のゲート電極形成予定領域に残されたポリシリコン層には、このMIS部のソース・ドレイン拡散領域を形成すべき不純物の導入工程において同時に不純物が導入されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置およびその製造方法に関し、特に、液晶フラットパネルディスプレイの駆動用集積回路などに用いられる半導体装置に対するMIS部の製造技術に関する。

【0002】

【従来の技術】 液晶フラットパネルディスプレイ（以下、LCDパネルと称す。）の駆動用ICなどに対しては、その表示特性などを向上する目的に多くの要求がある。たとえば、LCDパネルの大型化、カラー化にともなう、コントラスト特性を向上する目的に、駆動用ICなどの高耐電圧化が要求され、また、表示の情報量の増大にともなう、ロジック回路部には高速動作化が要求されている。ここで、ロジック回路部の動作速度の向上に加えて、その低コスト化をも目的に、その構成要素を微細化して、チップを小型化することが要求されている。そして、駆動用ICのMOSトランジスタ回路を、たとえば、数十V以上の駆動電圧でも駆動可能なレベルにまで耐電圧化するには、そのゲート絶縁膜を厚くした構造を採用するのが一般的である。たとえば、図5に示すLCDパネルの駆動用IC30のように、半導体基板31のnウェル32に形成された高電圧駆動回路30bの側のMOSFET33のゲート絶縁膜34の厚さを厚くして、ゲート電極36とソース・ドレイン領域35との耐電圧を向上する。しかしながら、同一の半導体基板31の表面側において、そのpウェル38に低電圧駆動回路（ロジック回路部）30aが形成されている場合でも、そのプロセス上の制約から、低電圧駆動回路30aの側のMOSFET37のゲート絶縁膜39は、高電圧駆動回路30bの側のゲート絶縁膜34と同時に形成されるため、その厚さが不必要に厚くなって電流容量が得られず、その動作特性が低下してしまう。なお、図において、40は層間絶縁膜、41はp型のオフセット拡散領域、42は低電圧駆動回路30aの側のソース・ドレイン領域である。

【0003】 そこで、低電圧駆動回路側のMOSFETと高電圧駆動回路側のMOSFETのゲート絶縁膜をそれぞれ異なる厚さに形成した構造が検討され、その構造は特開平2-153574号公報や特開平2-187063号公報に開示されている。このような構造の半導体

装置はツインゲート絶縁膜構造と称されることもあり、たとえば、以下の方法によってゲート絶縁膜は別々の工程で製造される。

【0004】まず、図4(a)に示すように、半導体基板(シリコン基板)の低電圧駆動回路部の形成予定領域51および高電圧駆動回路部の形成予定領域52のいずれの側に対しても、第1回目のゲート酸化膜形成工程として、約800℃の温度雰囲気中で約170分間のウェット酸化を行い、厚さが約840Åのゲート酸化膜50を形成する。なお、49はフィールド酸化膜である。

【0005】つぎに、図4(b)に示すように、低電圧駆動回路部の形成予定領域51の側のゲート電極形成予定領域およびコンタクト予定領域を含む領域が窓開けされたレジスト層56を形成する。この後に、必要に応じて、図4(b)に点線58で示すように、しきい値電圧を調整する目的に、チャネル形成領域に対してイオン注入を行う場合もある。

【0006】つぎに、レジスト層56をマスクとしてHF水溶液によるウェットエッチングを行って、図4

(c)に示すように、低電圧駆動回路部の形成予定領域51の表面に形成されたゲート酸化膜50を除去する。

【0007】つぎに、図4(d)を示すように、レジスト層56を除去する。

【0008】しかる後に、図4(e)に示すように、第2回目のゲート酸化膜形成工程として、約800℃の温度雰囲気中で約40分間のウェット酸化を行い、低電圧駆動回路部の形成予定領域51の表面に、厚さが約250Åのゲート酸化膜55を形成する。この酸化処理によって、高電圧駆動回路部の形成予定領域52の側のゲート酸化膜50も追加酸化されて、その厚さが約1000Åになる。なお、この工程以降においては、一般的な工程、たとえば、低電圧駆動回路部および高電圧駆動回路部の形成予定領域51、52のいずれの側にもゲート電極を構成するためのポリシリコン層を形成する工程、その後にエッチングを施してゲート電極を形成する工程などを行って、それぞれの領域にMOSFETを形成する。

【0009】従って、半導体基板の表面側において、その低電圧駆動回路部側のMOS部ではそのゲート酸化膜の厚さが約250Åである一方、高電圧駆動回路部側のMOS部ではそのゲート酸化膜の厚さが約1000Åとなつて、低電圧駆動回路部側の高速度動作化および高電圧駆動回路部側の高耐電圧化のいずれをも実現できることになる。

【0010】

【発明が解決しようとする課題】しかしながら、従来の製造方法によって各ゲート絶縁膜を別々に形成する方法においては、第1回目のゲート酸化膜形成工程によってゲート酸化膜50を形成した後、その表面側にレジスト層56を形成し、それをマスクとして、低電圧駆動回路

側のゲート酸化膜50を除去しているため、高電圧駆動回路部では、そのゲート酸化膜50がレジスト層で汚染されたことに起因すると推定される耐電圧特性の低下、たとえば、耐電圧が2Mv/cm~6Mv/cmまで低下するという問題点がある。また、ゲート酸化膜50の経時安定性を示すTDD特性(酸化膜の経時破壊)も低く、信頼性が低いという問題点がある。

【0011】以上の問題点に鑑みて、本発明の課題は、2つのMISトランジスタ回路部を同一基板上に形成するにあたって、それぞれのMIS部のゲート絶縁膜を別工程で形成する必要がある場合でも、一方のゲート絶縁膜をレジスト層などによって汚染することなく清浄な状態で形成して、高い耐電圧特性を確保可能な半導体装置およびその製造方法を実現することにある。

【0012】

【課題を解決するための手段】上記課題を解決するため、半導体基板の表面側に、第1導電型のMIS部および第2導電型のMIS部をそれぞれ備える第1および第2のMISトランジスタ回路部を備える半導体装置の製造方法において講じた手段は、まず、半導体基板の表面側に第1の絶縁膜を形成した後に、その表面側に第1のポリシリコン層を形成する第1の工程と、このポリシリコン層をエッチングして第2のMISトランジスタ回路部の第1および第2導電型のMIS部の各ゲート電極形成予定領域にポリシリコン層を残す第2の工程と、第1の絶縁膜のうち第2のMISトランジスタ回路部の第1および第2導電型のMIS部のゲート絶縁膜形成予定領域を含む領域の第1の絶縁膜を除去する第3の工程と、それらの表面側に第2の絶縁膜を形成した後に、その表面側に第2のポリシリコン層を形成する第4の工程と、このポリシリコン層をエッチングして第1のMISトランジスタ回路部の第1および第2導電型のMIS部の各ゲート電極形成予定領域にポリシリコン層を残す第5の工程とを行うことである。

【0013】ここで、たとえば、第2のMISトランジスタ回路部の耐電圧を向上させるなどの場合には、第1の絶縁膜を第2の絶縁膜に比して厚く形成する。

【0014】また、第1のMISトランジスタ回路部において、第1導電型および第2導電型のMISトランジスタでCMIS構造を形成する場合に、それぞれのゲート電極を同じ導電型のポリシリコンで形成してそれらの接続を容易にする目的に、第4の工程で形成された第2のポリシリコン層に対して不純物を導入した後に、第5の工程で第2のポリシリコン層をエッチングすることが好ましい。

【0015】さらに、第2のMISトランジスタ回路部において、その導電型とゲート電極の導電型とを一致させて、そのしきい値電圧を調整しやすいように、第2の工程で第2のMISトランジスタ回路部の第1および第2導電型のMIS部の各ゲート電極形成予定領域に残さ

れたポリシリコン層のうち、第1導電型のMIS部のゲート電極形成予定領域に残されたポリシリコン層には、このMIS部のソース・ドレイン拡散領域を形成すべき不純物の導入工程において同時に不純物を導入し、第2導電型のMIS部のゲート電極形成予定領域に残されたポリシリコン層には、このMIS部のソース・ドレイン拡散領域を形成すべき不純物の導入工程において同時に不純物を導入することが好ましい。

【0016】このような方法によって製造された半導体装置においては、半導体基板の表面側に、第1導電型のMIS部および第2導電型のMIS部を備え、いずれのMIS部のゲート電極も第1導電型の不純物および第2導電型の不純物のうちのいずれか一方の不純物が導入された第1のMISトランジスタ回路部と、第1導電型のMIS部および第2導電型のMIS部を備えており、これらのMIS部のゲート絶縁膜の厚さは第1のMISトランジスタ回路部の第1および第2導電型のMIS部のゲート絶縁膜の厚さに比して厚く、これらのMIS部のうちの第1導電型のMIS部のゲート電極は第1導電型の不純物が導入されたポリシリコンからなり、その第2導電型のMIS部のゲート電極は第2導電型の不純物が導入されたポリシリコンからなる第2のMISトランジスタ回路部とを有することになる。ここで、第2のMISトランジスタ回路部は、第1のMISトランジスタ回路部に比して、高い駆動電圧で駆動する回路側に用いられる。

【0017】

【作用】上記手段を講じた本発明の半導体装置の製造方法において、第1の工程では半導体基板程の表面側に第1の絶縁膜を形成した後に、その表面側に第1のポリシリコン層を形成し、その後、第2の工程でポリシリコン層をエッチングして第2のMISトランジスタ回路部の第1および第2導電型のMIS部の各ゲート電極形成予定領域にポリシリコン層を残す。ここで、第1のMISトランジスタ回路部側には、別の工程でゲート酸化膜を形成する必要があるため、第3の工程で第1の絶縁膜のうち第2のMISトランジスタ回路部の第1および第2導電型のMIS部のゲート絶縁膜形成予定領域を含む領域の第1の絶縁膜を除去するが、第1の絶縁膜の表面側には第1のポリシリコンがあるため、そのレジスト層などが第1の絶縁膜に直接には接触しない。そして、第4の工程で第2の絶縁膜を形成した後に、その表面側に第2のポリシリコン層を形成する。そして、第5の工程で、第2のポリシリコン層をエッチングして第1のMISトランジスタ回路部の第1および第2導電型のMIS部の各ゲート電極形成予定領域にポリシリコン層を残す。従って、いずれのゲート絶縁膜も、形成直後の清浄な状態のままポリシリコン層で覆われ、レジスト層に接触することなく、別々の工程で形成することができるので、レジストによる汚染などが発生せず、ゲート絶縁膜

の耐電圧特性や信頼性、すなわち、MISトランジスタ回路部の耐電圧特性や信頼性を向上することができる。

【0018】

【実施例】つぎに、添付図面に基づいて、本発明の一実施例について説明する。

【0019】図1は本発明の実施例に係る半導体装置の構造を示す断面図である。

【0020】図において、本例の半導体装置1は、同一の単結晶シリコン基板100（半導体基板）の表面側に、ロジック回路として5V以下の駆動電圧で駆動される低電圧駆動回路部1a（第1のMISトランジスタ回路部）と、数十V以上の駆動電圧で駆動される高電圧駆動回路部1b（第2のMISトランジスタ回路部）とを有する液晶表示フラットパネルディスプレイのドライバ用ICである。ここで、低電圧駆動回路部1aには、CMOS構造を構成する低電圧用nチャネル型（第1導電型）MOSFET101および低電圧用pチャネル型（第2導電型）MOSFET102を有する一方、高電圧駆動回路部1bには、CMOS構造を構成する高電圧用nチャネル型（第1導電型）MOSFET103および高電圧用pチャネル型（第2導電型）MOSFET104を有する。ここで、低電圧用nチャネル型MOSFET101は、単結晶シリコン基板100のnウェルの表面側に形成され、厚さが約250Åのゲート酸化膜12と、n型不純物ドーパ型のポリシリコンからなるゲート電極13aと、n'型のソース・ドレイン領域14aとを有し、低電圧用pチャネル型MOSFET102は、単結晶シリコン基板100のpウェルの表面側に形成され、厚さが約250Åのゲート酸化膜12と、n型不純物ドーパ型のポリシリコンからなるゲート電極13bと、p'型のソース・ドレイン領域15aとを有する。一方、高電圧用nチャネル型MOSFET103は、単結晶シリコン基板100のnウェルの表面側に形成され、厚さが約1300Å以上のゲート酸化膜10と、n型不純物ドーパ型のポリシリコンからなるゲート電極11aと、n型のオフセット拡散層6の表面側に形成されたn'型のソース・ドレイン領域14bとを有し、高電圧用pチャネル型MOSFET104は、単結晶シリコン基板100のpウェルの表面側に形成され、厚さが約1300Å以上のゲート酸化膜10と、p型不純物ドーパ型のポリシリコンからなるゲート電極11bと、p型のオフセット拡散層5の表面側に形成されたp'型のソース・ドレイン領域15bとを有する。なお、7はn'のガードリング、8はp'のガードリング、9はフィールド酸化膜である。また、図1において、ゲート酸化膜以外の部分で符号12を付してあるのは、ゲート酸化膜12と同時形成されたことを示す。

【0021】ここで、低電圧駆動回路部1aの側のゲート酸化膜12は、その厚さが約250Åであり、低電圧駆動回路部1aの低電圧用nチャネル型MOSFET1

01および低電圧用pチャネル型MOSFET102は高速動作化されている一方、高電圧駆動回路部1bの側のゲート酸化膜10は、その厚さが約1300Å以上であり、高電圧駆動回路部1bの低電圧用nチャネル型MOSFET103および低電圧用pチャネル型MOSFET104は高耐電圧化されている。

【0022】しかも、低電圧駆動回路部1aの側のゲート酸化膜12および高電圧駆動回路部1bの側のゲート酸化膜10のいずれもが、その製造方法については後述するが、その製造プロセス中においてレジスト層と接触10することがなかったため、その汚染がなく、その耐電圧特性や信頼性などが高い。

【0023】このような構成の半導体装置1の製造方法について、図2および図3を参照して説明する。こ

で、図2(a)~図2(c)および図3(a)~図3(d)はいずれも本発明の実施例に係る半導体装置の製造方法の一部を示す概略工程断面図である。

【0024】まず、図2(a)に示すように、比抵抗が $10\Omega\text{cm}$ のczp(100)の単結晶シリコン基板100を用意し、その表面側のうち、低電圧駆動回路部120aおよび高電圧駆動回路1bのいずれの側のpチャネル型MOSFET形成予定領域102a、104aに対しても不純物を導入、拡散して、深さが約7 μm のnウェル2を拡散形成する。

【0025】つぎに、図2(b)に示すように、単結晶シリコン基板100の表面側のうち、低電圧駆動回路部1aおよび高電圧駆動回路部1bのいずれの側のnチャネル型MOSFET形成予定領域101a、103aに対しても不純物を導入、拡散して、深さが約2 μm のpウェル3を形成する。これらの拡散工程中に、単結晶シリコン基板100の表面には厚さが約400Åのベース酸化膜4が形成される。

【0026】つぎに、図2(c)に示すように、高電圧駆動回路部1bのソース・ドレインの形成予定領域のうち、pチャネル型MOSFET形成予定領域104aには、深さが約1.5 μm のp型のオフセット拡散層5を形成する一方、nチャネル型MOSFET形成予定領域13aには、深さが約1.5 μm のn型のオフセット拡散層6を形成する。

【0027】つぎに、図3(a)に示すように、高電圧駆動回路部1bに形成される高電圧用MOSFETに対する素子分離のためのn'ガードリング7およびp'ガードリング8を順次形成した後に、シリコン窒化膜をマスクとして選択酸化を行って、フィールド酸化膜9を形成する。

【0028】つぎに、ベース酸化膜4を除去した後に、図3(b)に示すように、高電圧駆動回路部1bの側に形成されるMOSFETに必要な厚いゲート酸化膜を形成するために、約900℃の温度雰囲気中で約70分間のウェット酸化を行い、厚さが約1300Åのゲート酸50

化膜10(第1の絶縁膜)を形成する。引き続いて、ゲート酸化膜10の表面側に、CVD法により、厚さが約4500Åの第1のポリシリコン層11を形成する。その後に、温度が約900℃の雰囲気中で熱酸化を行って、第1のポリシリコン層11の表面側をシリコン酸化膜(図示せず)にしておく(第1の工程)。

【0029】つぎに、第1のポリシリコン層11の表面側に、レジスト層の形成、パターニング、ドライエッチングおよびレジスト層の除去を行って、図3(c)に示すように、高電圧駆動回路部1bの所定領域にのみゲート電極11a、11bを構成すべきポリシリコン層21a、21bを残す(第2の工程)。

【0030】つぎに、高電圧駆動回路部1bの側のノンドープのポリシリコン層21a、21bをマスクとして、HF水溶液を用いてウェットエッチングを行って、低電圧駆動回路部1aのゲート電極形成予定領域およびコンタクト予定領域のゲート酸化膜10を除去する(第3の工程)。

【0031】その後に、それらの表面側に対して、約800℃の温度雰囲気中で約40分間のウェット酸化を行い、図3(d)に示すように、厚さが250Åのゲート酸化膜12(第2の絶縁膜)を形成する。この工程中に、高電圧駆動回路部1bのゲート電極11a、11bを構成すべきポリシリコン層21a、21bの表面側も酸化されてシリコン酸化膜21cが形成される。ここで、単結晶シリコン基板100の表面側に比して、ポリシリコン層21a、21bの表面側の方が酸化されやすく、このシリコン酸化膜21cの厚さは約400Åである。引き続いて、ゲート酸化膜12およびシリコン酸化膜21cの表面側に、CVD法により、厚さが4500Åの第2のポリシリコン層23を形成する。その後に、第2のポリシリコン層23の全面に高濃度のリンをドーピングして、第2のポリシリコン層23にn型の導電性を与える(第4の工程)。

【0032】つぎに、第2のポリシリコン層23の表面側に対してマスク層の形成、パターニング、ドライエッチングおよびレジスト層の除去を行って、図1に示すように、低電圧駆動回路部1aの側の所定領域にのみポリシリコン層23a、23b(ゲート電極13a、13b)を残す。ここで、ポリシリコン層23a、23bは前工程ですでに導電化されているので、そのままゲート電極13a、13bとなる。このドライエッチング中において、高電圧駆動回路部1aの側に残されているポリシリコン層21a、21bの表面にはシリコン酸化膜21cがあるため、ゲート酸化膜12を利用してドライエッチングをストップしたときには、高電圧駆動回路部1bの側のポリシリコン層21a、21bはエッチングされずに残ることになる。なお、ドライエッチングにおけるシリコンとシリコン酸化膜の選択比は10:1程度であるため、第2のポリシリコン層23に対するエッチン

グが終了した時点でゲート酸化膜12やシリコン酸化膜21cが露出すると、エッチング速度が急速に低下するので、第2のポリシリコン層23に対するエッチングのエンドポイントを制御できる(第5の工程)。

【0033】その結果、低電圧駆動回路部1aおよび高電圧駆動回路部1bの側には、それぞれ別工程で形成されて互いに厚さが異なるゲート酸化膜10、12が形成されたことになる。

【0034】以上の工程以降において行われるMOSFETの製造工程については、図1を参照して説明する。まず、低電圧駆動回路部1aおよび高電圧駆動回路部1bのいずれの側に対しても、ポリシリコン層21a、21b(ゲート電極11a、11b)およびゲート電極13a、13bをマスクとしてイオン注入を順次行って、低電圧駆動回路部1aおよび高電圧駆動回路部1bに対して、各ソース・ドレイン拡散領域14a、15a、14b、15bをセルフアラインになるように形成する。このイオン注入工程を経て、高電圧駆動回路部1bのポリシリコン層21a、21bは導電化されて、対応するソース・ドレイン拡散領域14b、15bと同じ導電型のゲート電極11a、11bになる。その後、コンタクトホール形成工程、配線形成工程および保護膜の形成工程などを順次行って、低電圧駆動回路部1aの側に低電圧用nチャネル型MOSFET101および低電圧用pチャネル型MOSFET102を形成する一方、高電圧駆動回路部1b側に高電圧用nチャネル型MOSFET103および高電圧用pチャネル型MOSFET104を形成する。

【0035】ここで、低電圧駆動回路部1aの側においては、低電圧用nチャネル型MOSFET101および低電圧用pチャネル型MOSFET102のいずれのゲート電極13a、13bも、すでにリンが高濃度でドーピングされたポリシリコン層であるため、ソース・ドレイン拡散領域14a、15aを形成するのにイオン注入された不純物量では導電性に影響を受けず、ソース・ドレイン拡散領域14a、15aの形成後も、ゲート電極13a、13bはn導電型のポリシリコン層である。従って、低電圧用nチャネル型MOSFET101と低電圧用pチャネル型MOSFET102とでCMOS構造を構成するにあたって、ゲート電極13a、13bを、たとえばアルミニウム電極を介さずに直接に導電接続できるなど、導電接続上の制約がないので、低電圧駆動回路部1aの構造設計などを簡略化でき、しかも微細化も容易であるので、半導体装置1のチップ面積を縮小できる。

【0036】一方、高電圧駆動回路部1bの側の高電圧用nチャネル型MOSFET103のゲート電極11aは、そのソース・ドレイン拡散領域14bの形成工程においてソース・ドレイン拡散領域14bに導入された不純物と同じくn型の不純物がドーピングされて導電化したポ

リシリコン層である。また、高電圧用pチャネル型MOSFET104のゲート電極11bは、そのソース・ドレイン拡散領域15bの形成工程においてソース・ドレイン拡散領域15bに導入された不純物と同じくp型の不純物がドーピングされて導電化したポリシリコン層である。すなわち、高電圧駆動回路部1bの側においては、高電圧用nチャネル型MOSFET103のゲート電極11bと高電圧用pチャネル型MOSFET104のゲート電極11bとは、異なる導電型のポリシリコン層からなり、2導電型ゲートタイプのゲート電極構造になっている。従って、高電圧用nチャネル型MOSFET103および高電圧用pチャネル型MOSFET104のいずれの側においても、そのチャネル形成領域の導電型とゲート電極11a、11bの導電型が同一であるため、相互の仕事関数の差に起因するしきい値電圧の変動がないので、そのしきい値電圧の制御が容易である。また、高電圧用pチャネル型MOSFET104に対応して、そのゲート電極11bがp型であるため、n型のゲート電極である場合に比して、しきい値電圧の制御が容易であることに加えて、しきい値電圧をたとえば0.5V位低くすることもできる。さらに、しきい値電圧の制御が容易であることから、チャネルドーピング工程を省略することもできるので、そのためのマスクが不要になり、生産性の向上および低コスト化を実現できる。

【0037】また、本例の製造方法においては、単結晶シリコン基板100の表面側にゲート酸化膜10を形成した後、引き続いて第1のポリシリコン層11を形成し、その後、高電圧駆動回路1bの各ゲート電極形成予定領域にポリシリコン層21a、21を残す。また、低電圧駆動回路1aの側には、別の工程で厚さの異なるゲート酸化膜12を形成する必要があるため、ゲート酸化膜10のうち、低電圧駆動回路1aの側のゲート酸化膜10を除去するが、ゲート酸化膜10の表面側には第1のポリシリコン層11があるため、そのエッチング工程においてレジスト層やエッチング種がゲート酸化膜10に直接には接触しない。そして、第4の工程でゲート酸化膜12を形成した後に、引き続いて、その表面側にポリシリコン層13を形成した後に、第5の工程で、第2のポリシリコン層23をエッチングして低電圧駆動回路部1aの各ゲート電極形成予定領域にポリシリコン層23a、23bを残す。従って、いずれのゲート酸化膜10、12も、形成直後の清浄な状態のままにポリシリコン層11、23で覆われ、レジスト層に接触することなく、別々の工程で異なる厚さに形成することができ、従って、レジストによる汚染などが発生せず、ゲート酸化膜10、12の耐電圧特性や信頼性、すなわち、半導体装置1の耐電圧特性や信頼性を向上することができる。

【0038】なお、低電圧駆動回路部1aの側において、そのゲート電極13a、13bについては、ボロン

などをドーブしたp型のポリシリコン層で構成することもできる。

【0039】

【発明の効果】以上のとおり、本発明においては、半導体基板程の表面側に第1の絶縁膜を形成した後に引き続いて、第1のポリシリコン層を形成し、その後に、ポリシリコン層をエッチングして第2のMISトランジスタ回路部のゲート電極を構成するポリシリコン層を残す一方、この状態で第1の絶縁膜にエッチングを施す。そして、その表面側に第2の絶縁膜を形成した後に引き続いて、第2のポリシリコン層を形成し、その後に、このポリシリコン層をエッチングすることに特徴を有する。従って、いずれの絶縁膜（ゲート酸化膜）も形成直後の清浄な状態のままポリシリコン層で覆われ、また、不要な領域のゲート酸化膜を除去するときには、その表面側はポリシリコンで覆われてレジスト層が接触しない。それ故、いずれのゲート絶縁膜もレジスト層に接触することなく、別々の工程で形成することができるので、レジストによる汚染などが発生せず、ゲート絶縁膜の耐電圧特性や信頼性、すなわち、MISトランジスタ回路部の耐電圧特性や信頼性が向上するという効果を奏する。

【0040】ここで、第1の絶縁膜を第2の絶縁膜に比して厚く形成した場合には、厚い絶縁膜をゲート絶縁膜として有するMISトランジスタ回路の側を高電圧駆動回路としてその耐電圧特性を高く確保することができ、この場合でも、他方のMISトランジスタ回路のゲート絶縁膜を薄くできるので、その動作速度を犠牲することがない。

【0041】また、第2のポリシリコン層に対して不純物を導入した後に、このポリシリコン層をエッチングしてゲート電極を形成した場合には、この回路側では、異なる導電型のMIS部のゲート電極を簡単な構造で導電接続することができるので、その半導体装置の設計の自由度が向上し、また、微細化も容易である。

【0042】さらに、第2のMISトランジスタ回路部側で、第1導電型のMIS部のゲート電極を第1導電型とし、第2導電型のMIS部のゲート電極を第2導電型とした場合には、そのしきい値電圧の制御が容易であ

る。従って、チャネルドーブ工程を省略することもでき、生産性の向上や低コスト化を実現できる。

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体装置の構造を示す概略断面図である。

【図2】(a)ないし(c)のいずれも、図1に示す半導体装置の製造方法の前段側の一部を示す工程断面図である。

【図3】(a)ないし(d)のいずれも、図1に示す半導体装置の製造方法の後断側の一部を示す工程断面図である。

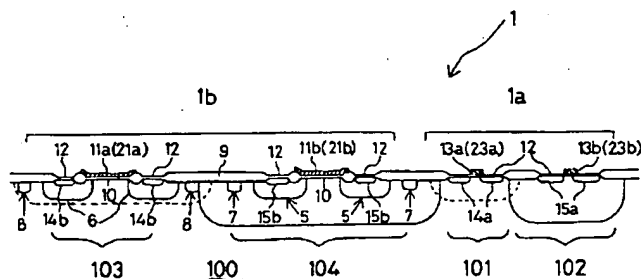
【図4】(a)ないし(e)のいずれも、従来の半導体装置の製造方法の一部を示す工程断面図である。

【図5】別の従来の半導体装置の構造を示す断面図である。

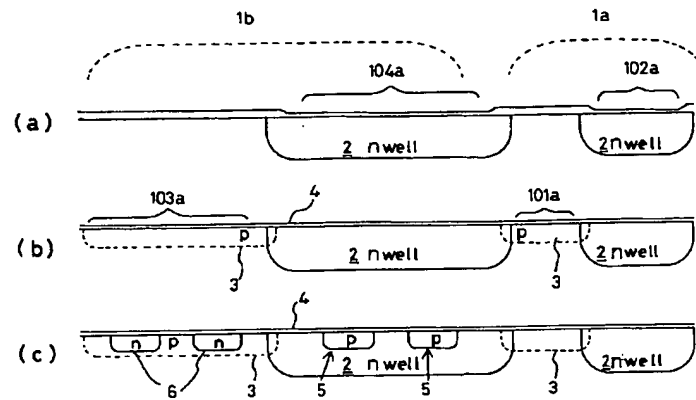
【符号の説明】

- 1・・・半導体装置
- 1a・・・低電圧駆動回路部（第1のMISトランジスタ回路部）
- 1b・・・高電圧駆動回路部（第2のMISトランジスタ回路部）
- 10, 12・・・ゲート酸化膜
- 11・・・第1のポリシリコン層
- 11a, 11b, 13a, 13b・・・ゲート電極
- 12c・・・シリコン酸化膜
- 13・・・第2のポリシリコン層
- 14a, 14b, 15a, 15b・・・ソース・ドレイン領域
- 101・・・低電圧用nチャネル型（第1導電型）MOSFET
- 102・・・低電圧用pチャネル型（第2導電型）MOSFET
- 103・・・高電圧用nチャネル型（第1導電型）MOSFET
- 104・・・高電圧用pチャネル型（第2導電型）MOSFET
- 100・・・単結晶シリコン基板（半導体基板）

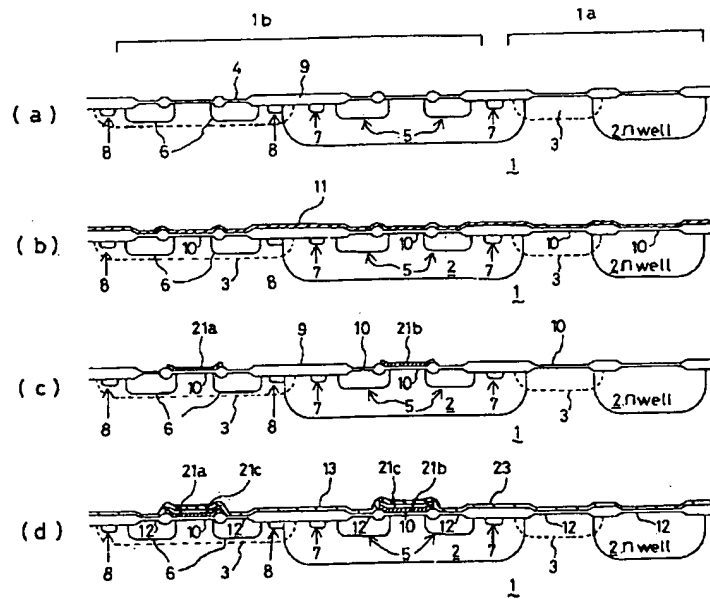
【図1】



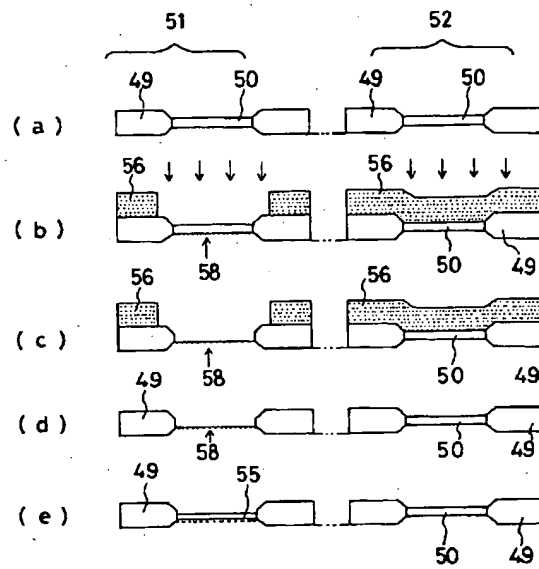
【図2】



【図3】



【図 4】



【図 5】

